

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-291618

(43)Date of publication of application : 18.10.1994

(51)Int.Cl.

H03K 3/356

(21)Application number : 05-072350

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 30.03.1993

(72)Inventor : SESHIMO TOSHIKI
MATSUO YOSHIKO
WAKIMOTO KEIJI
TERADA TOSHIYUKI

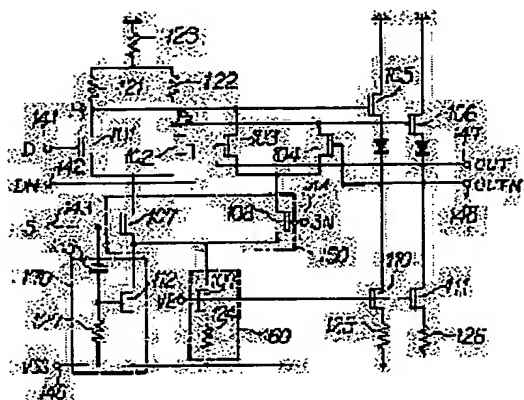
(54) DATA HOLDING CIRCUIT

(57)Abstract:

PURPOSE: To suppress the degradation of an output waveform at the time of a high-speed operation by additionally allowing a current to flow from an additional current source parallelly connected with a constant current source only when switching a switching circuit from a data holding state to a data fetching state.

CONSTITUTION: At this data holding circuit, when a select signal S is set at an H level, data D and DN are fetched and while a select signal SN is kept at the H level, the data D and DN are held by a circuit composed of MESFET 103 and 104 or the like. The holding circuit is provided with an additional current source 170 and only when switching a switching circuit 150 from the data holding state to the data fetching state, the additional current flows to the current source 170.

Thus, since a current to flow to an MESFET 107 can be increased when starting the fetching state, the rise of an output signal OUT and the fall of an output signal OUTN can be made sharp. Therefore, the amplitude of the output signals OUT and OUTN can be enlarged.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 6 - 2 9 1 6 1 8

(43) 公開日 平成 6 年 (1994) 10 月 18 日

(51) Int. Cl.⁵
H03K 3/356

識別記号 庁内整理番号
C 8124-51

F I

技術表示箇所

審査請求 未請求 請求項の数 2 O L (全 7 頁)

(21) 出願番号 特願平 5 - 7 2 3 5 0

(22) 出願日 平成 5 年 (1993) 3 月 30 日

(71) 出願人 0 0 0 0 0 3 0 7 8

株式会社東芝
神奈川県川崎市幸区堀川町 7 2 番地

(72) 発明者 瀬 下 敏 樹

神奈川県川崎市幸区小向東芝町 1 株式会
社東芝研究開発センター内

(72) 発明者 松 尾 佳 子

神奈川県川崎市幸区小向東芝町 1 株式会
社東芝研究開発センター内

(72) 発明者 脇 本 啓 嗣

神奈川県川崎市幸区小向東芝町 1 株式会
社東芝研究開発センター内

(74) 代理人 弁理士 佐藤 一雄 (外 3 名)

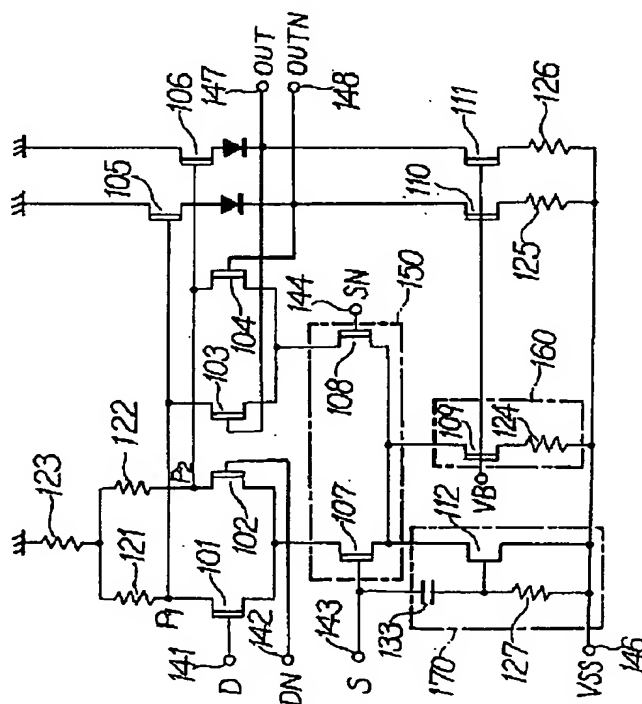
最終頁に続く

(54) 【発明の名称】 データ保持回路

(57) 【要約】

【目的】 高速動作時の出力波形の劣化を抑えることができるデータ保持回路を提供する。

【構成】 入力された選択信号 S、SN に基づいてデータ取込状態とデータ保持状態との切り換えを行なう切換回路 150 と、切換回路 150 に定電流を流す定電流源 160 と、切換回路 150 がデータ保持状態からデータ取込状態へ切り換わるときにのみ付加的な電流を流す、定電流源 160 と並列に接続された付加電流源 170 とを備えている。



【特許請求の範囲】

【請求項 1】 入力された選択信号に基づいて、データ取込状態とデータ保持状態との切り換えを行なう切換回路と、

この切換回路に定電流を流す定電流源と、

前記切換回路が前記データ保持状態から前記データ取込状態へ切り換わるときにのみ付加的な電流を流す、前記定電流源と並列に接続された付加電流源と、
を備えたことを特徴とするデータ保持回路。

【請求項 2】 前記切換回路が、前記取り込み状態でハイレベルとなる前記選択信号をゲートから入力する切換用電界効果トランジスタを有し、

前記付加電流源が、前記定電流源と並列になるように前記切換用電界効果トランジスタに接続された付加電流用電界効果トランジスタと、定常的には電流が流れないようなバイアス電圧をこの付加電流用電界効果トランジスタのゲートに供給するバイアス回路と、前記付加電流用電界効果トランジスタのゲートと前記切換用電界効果トランジスタとの間に設けられたカップリング容量とを有する、

ことを特徴とする請求項 1 記載のデータ保持回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、例えばマスタスレーブ型の D タイプフリップフロップ (D F F) や T タイプフリップフロップ (T F F) 等に使用されるデータ保持回路に関するものである。

【0002】

【従来の技術】 従来のデータ保持回路について、 G a A s を用いた超高速 I C を例に採って説明する。 G a A s I C は、例えば、光通信システム等の超高速通信システム用の I C として使用されている。

【0003】 G a A s I C を構成するための回路としては、 D C F L (Direct Couple FET Logic) 回路や S C F L (Source Coupled FET Logic) 回路等が知られている。この中でも、超高速通信システム用の I C としては、 S C F L 回路が特に適している。これは、 S C F L 回路は論理能力が大きいので、超高速回路の主要な回路要素である T F F や D F F 等を 2 ゲートで構成でき、高速化を図りやすいからである。

【0004】 以下、 S C F L 回路で構成された従来のデータ保持回路について、このデータ保持回路をマスタスレーブ型の T F F に使用した場合を例にとって説明する。図 4 は、かかる T F F の一構成例を示す電気回路図である。

【0005】 図 4 に示した T F F は、マスタ段としてのデータ保持回路 2 0 0 ' と、スレーブ段としてのデータ保持回路 3 0 0 ' とを備えている。同図において、 2 0 1 ~ 2 1 1, 3 0 1 ~ 3 1 1 は G a A s M E S F E T

(Metal Semiconductor Field Effect Transistor) で

ある。また、 2 2 1 ~ 2 2 6, 3 2 1 ~ 3 2 6 は抵抗、 2 3 1, 2 3 2, 3 3 1, 3 3 2 はダイオードである。この回路では、スレーブ段としてのデータ保持回路 3 0 0 ' の出力を、 T F F の出力とするとともにマスタ段としてのデータ保持回路 2 0 0 ' に入力することにより、 T F F としての動作を可能にしている。

【0006】 このように構成された T F F では、入力クロック信号 C K がハイレベルのとき (すなわち入力クロック信号 C K N がローレベルのとき) にデータ入力端子 2 4 1, 2 4 2 からのデータの取り込みが行われ、入力クロック信号 C K がローレベルのとき (入力クロック信号 C K N がハイレベルのとき) には当該入力データが保持される。したがって、この T F F は、入力クロック信号 C K, C K N の 1 周期の間は一定の信号レベルを維持するので、この入力クロック信号 C K, C K N の 1 / 2 の周期を有することとなる。

【0007】

【発明が解決しようとする課題】 このようなデータ保持回路を超高速通信システム用の I C に使用する場合に、高速の信号を扱うため、高速で動作させる (すなわち動作周波数を高くする) ことが必要となる。

【0008】 しかしながら、上述したような従来のデータ保持回路では、十分な動作速度を得ることができなかった。これは、動作速度を高くしていくにしたがって出力波形の劣化が激しくなり、誤動作が生じやすくなるためである。

【0009】 図 5 (a) に、図 4 に示した T F F の最大動作周波数近傍での出力信号 O U T, O U T N の波形を示す。また、図 5 (b) は、出力信号 O U T, O U T N の理想的な波形を示している。さらに、図 5 (c) は、これらの出力波形に対応する入力クロック信号 C K, C K N の波形を示している。

【0010】 同図からわかるように、動作周波数を最大動作周波数近傍まで高くすると、出力信号 O U T, O U T N の波形が劣化して、波形の立上がり時間が入力クロック信号 C K, C K N の波形の 2 倍程度になってしまう。また、それに伴い、出力波形の振幅も実質的に小さくなる。そして、動作周波数をさらに高くして最大動作周波数よりも高くすると、出力信号 O U T, O U T N の波形がさらに劣化し、誤動作が生じてしまうようになる。

【0011】 なお、出力信号 O U T, O U T N の波形の劣化を整形することは、波形整形用の出力バッファを用いても期待できない。これは、同じ性能の F E T を用いて T F F と出力バッファとを構成した場合には、 T F F の 1 / 2 分周出力信号を増幅する力はほとんどないからである。すなわち、出力バッファを増幅器と考えた場合、 1 / 2 分周出力の T F F の最大動作周波数近傍では、この増幅器の利得はほとんどない。

【0012】 また、 T F F では、出力信号がマスタ段の

データ保持回路にフィードバックされるので、出力信号 OUT、OUTN の波形の劣化は、最大動作周波数自体を低下させる原因ともなっていた。

【0013】本発明は、このような従来技術の欠点に鑑みてなされたものであり、高速動作時の出力波形の劣化を抑えることができるデータ保持回路を提供することを目的とする。

【0014】

【課題を解決するための手段】本発明に係わるデータ保持回路は、入力された選択信号に基づいて、データ取込状態とデータ保持状態との切り換えを行なう切換回路と、この切換回路に定電流を流す定電流源と、前記切換回路が前記データ保持状態から前記データ取込状態へ切り換わるときにのみ付加的な電流を流す、前記定電流源と並列に接続された付加電流源と、を備えたことを特徴とする。

【0015】

【作用】本発明では、切換回路がデータ保持状態からデータ取込状態へ切り換わるときは、定電流源による電流に加えて付加電流源が付加的な電流を流し、それ以外のときは定電流源による電流のみが流れるようにしたので、高速動作時の出力波形の劣化を防止することができる。

【0016】

【実施例】（実施例 1）以下、本発明の一実施例に係わるデータ保持回路について、本発明を GaAs IC に適用した場合を例に採って説明する。

【0017】まず、本実施例に係わるデータ保持回路の構成について、図 1 を用いて説明する。

【0018】図 1 において、入力端子 141 は MESFET 101 のゲートに接続され、入力端子 142 は MESFET 102 のゲートに接続されている。また、MESFET 101 のドレインは抵抗 121、123 を介して接地されており、同様に、MESFET 102 のドレインは抵抗 122、123 を介して接地されている。ここで、この MESFET 101 のドレインと抵抗 121 との接点を P₁、MESFET 102 のドレインと抵抗 122 との接点を P₂ とする。

【0019】接点 P₁、P₂ には、それぞれ、MESFET 105、106 のゲートも接続されている。MESFET 105、106 は、それぞれドレインが接地されるとともに、ソースがそれぞれダイオード 131、132 のアノードに接続されている。

【0020】さらに、これらの接点 P₁、P₂ には、それぞれ、MESFET 103、104 のドレインも接続されている。また、これらの MESFET 103、104 のゲートは、それぞれ上述のダイオード 132、131 のカソードに接続されるとともに、出力端子 147、148 にも接続されている。

【0021】MESFET 101、102 のソースは、

ともに MESFET 107 のドレインに接続されている。これと同様に、MESFET 103、104 のソースは、ともに MESFET 108 のドレインに接続されている。また、これらの MESFET 107、108 のゲートは、それぞれ、クロック信号の入力端子 143、144 に接続されている。さらに、MESFET 107、108 のソースは、ともに MESFET 109 のドレインに接続されている。この MESFET 107、108 により、本発明の切換回路 150 が構成されている。

【0022】ここで、上述したダイオード 131、132 のカソードは、MESFET 110、111 のドレインにも接続されている。

【0023】MESFET 109、110、111 のゲートは、それぞれ定電流源バイアス端子 145 に接続されている。また、これらの MESFET 109、110、111 のソースは、それぞれ、抵抗 124、125、126 を介して電源端子 146 に接続されている。ここで、MESFET 109 および抵抗 124 により、切換回路 140 用の定電流源（すなわち本発明の定電流源）160 が構成されている。

【0024】上述の MESFET 107 のソースには、MESFET 112 のドレインが接続されている。また、MESFET 112 のソースは、電源端子 146 に接続されている。さらに、この MESFET 112 のゲートは、容量 133 を介してクロック信号の入力端子 143 と接続されるとともに、抵抗 127 を介して電源端子 146 とも接続されている。これらの MESFET 112、容量 133 および抵抗 127 により、本発明の付加電流源 170 が構成されている。

【0025】ここで、本実施例では、付加電流源 170 の MESFET 112 のしきい値電圧を 0V とし、他の MESFET 101 ~ 111 のしきい値電圧を -0.2V とした。

【0026】次に、図 1 に示したデータ保持回路 100 の動作について、図 2 を参照しつつ説明する。ここで、図 2 は、選択信号 S、SN の波形を示している。

【0027】MESFET 109、110、111 のゲートにはバイアス電圧 VB が与えられており、一定のドレイン電流が流れている。入力端子 D からの入力信号がハイレベル（すなわち、入力端子 DN の入力信号がローレベル）であったとすると、MESFET 101 のゲートはハイレベル、MESFET 102 のゲートはローレベルとなるので、MESFET 101 はオンし、MESFET 102 はオフする。

【0028】ここで、選択信号 S がローレベルからハイレベルに変化すると、この変化の期間（図 2 の B から D までの期間）中は、容量 133 によるカップリング効果により、MESFET 112 のゲート電圧は上昇し、この MESFET 112 がオンする。また、この選択信号

S がデータ取り込み状態に切り替わると (図 2 の C)、この MESFET 107 がオン状態となる (このとき選択信号 SN はローレベルとなるので MESFET 108 はオフする)。

【0029】これにより、MESFET 101 には電流が流れるため接点 P₁ の電位はローレベルとなるが、MESFET 102 には電流が流れないので接点 P₁ の電位はハイレベルとなる。このため、ソースフォロア FET である MESFET 105 及びダイオード 131 を介して接続される出力端子はローレベルとなり、また、ダイオード 132 の出力端子はハイレベルとなる。よって、MESFET 103 のゲートはハイレベルとなり、MESFET 104 のゲートはローレベルとなる。

【0030】なお、選択信号の信号レベルがピークに達すると (図 2 の D)、それ以降は容量 133 によるカップリング効果により MESFET 112 のゲート電位はバイアス電位である VSS よりも下がり、この MESFET 112 はオフする。

【0031】そして、選択信号 S がハイレベルからローレベルに変化し、同時に選択信号 SN がローレベルからハイレベルとなると、MESFET 108 がオンし、MESFET 107 はオフするので、接点 P₁、P₂ の電位は MESFET 103、104 に支配され、そのままの信号レベル (ここでは P₁ がローレベルで P₂ がハイレベル) に維持される。

【0032】このようにして、本実施例のデータ保持回路 100 では、選択信号 S がハイレベルのときにデータ D、DN が取り込まれ、選択信号 SN がハイレベルの期間中はこのデータ D、DN が MESFET 103、104 等からなる回路によって保持される。

【0033】上述のように、本実施例のデータ保持回路では、付加電流源 170 を設け、切換回路 150 がデータ保持状態からデータ取込状態へ切り換わる時 (すなわち図 2 の B から D までの期間) にのみ、この付加電流源 170 に付加的な電流が流れるように構成されている。これにより、取り込み状態の開始時に、MESFET 107 (ひいては MESFET 101 または MESFET 102 のオンしている方) に流れる電流を増加させることができるので、出力信号 OUT の立上がりおよび出力信号 OUTN の立ち下がり急峻なものとすることができる。そして、その分、出力信号 OUT、OUTN の振幅を大きくすることができる。

【0034】さらに、データ保持状態からデータ取込状態へ切り換わる時以外の期間は、この付加電流源 170 には付加的な電流が流れないので、TFF 全体としての遅延時間の増大を抑えることができる。すなわち、付加電流源 170 に定常的に電流が流れることとすると、定電流源 160 の電流値を大きくしたことと同じであり、DC 的な論理振幅が増加して遅延時間の増大を招くが、本実施例では電流値の増大を上述の期間に限って

るので遅延時間の増大を抑えることができるのである。

【0035】ここで、本実施例では、「データ保持状態からデータ取込状態へ切り換わる時」を図 2 の B から D までの期間としたが、付加電流源 170 に付加的な電流が流れ始めるのは MESFET 103、104 によるデータの保持が確定した後であればよく、また、付加的な電流が流れなくなるのは出力信号 OUT の立上がりおよび出力信号 OUTN の立ち下がりが行われた後であればよい。

【0036】なお、選択信号 S、SN が保持状態を選択してから (図 2 の A) MESFET 103、104 によるデータの保持が確定するまでには一定の時間を要するので、注意しなければならない。MESFET 103、104 によるデータの保持が確定する前に付加的な電流が流れ始めると、上述のような遅延時間の増大を招くからである。

【0037】(実施例 2) 次に、本発明の第 2 の実施例として、上述の実施例 1 で示したデータ保持回路を用いて構成した TFF について説明する。

【0038】図 3 は、本実施例に係わる TFF の回路構成を示す電気回路図である。同図に示した TFF は、マスタ段としてのデータ保持回路 200 と、スレーブ段としてのデータ保持回路 300 とを備えている。各データ保持回路 200、300 の内部構成は上述の実施例 1 で示したデータ保持回路 100 と同様であるので、説明を省略する。

【0039】マスタ段としてのデータ保持回路 200 には、実施例 1 に係わるデータ保持回路 100 の選択信号 S として入力クロック信号 CK が入力されており、また、選択信号 SN として入力クロック信号 CKN が入力されている。逆に、スレーブ段としてのデータ保持回路 300 に対しては、選択信号 S として入力クロック信号 CKN が入力されており、選択信号 SN として入力クロック信号 CK が入力されている。

【0040】また、この回路では、スレーブ段としてのデータ保持回路 300 の出力端子 147' の出力をマスタ段としてのデータ保持回路 200 の入力端子 142 から取り込み、また、データ保持回路 300 の出力端子 148' の出力をマスタ段としてのデータ保持回路 200 の入力端子 141 から取り込むこととしている。すなわち、入力データ D として入力端子 141 から取り込まれたデータは次回には入力データ DN として入力端子 142 から取り込まれ、入力データ DN として入力端子 142 から取り込まれたデータは次回には入力データ D として入力端子 141 から取り込まれる。これにより、この回路は、TFF として動作する。

【0041】本実施例の TFF でも、上述の実施例 1 の場合と同様、データ保持回路 200、300 にそれぞれ付加電流源 170 を設け、各データ保持回路 200、300 の切換回路 150 がデータ保持状態からデータ取込

10

20

30

40

50

状態へ切り換わるときにのみ、この付加電流源 170 に付加的な電流が流れるように構成されている。

【0042】これにより、取り込み状態の開始時に流れる電流を増加させることができるので、出力信号 OUT の立上がりおよび出力信号 OUTN の立ち下がり急峻なものとしことができ、したがって、理想状態に近い出力波形（図 5（b）参照）を得ることができた。そして、その分、出力信号 OUT、OUTN の論理振幅を大きくすることができた。さらに、本実施例に係わる TFF によれば、出力波形の劣化を防止することができることより、最大動作周波数自体を向上させることもできた。

【0043】本発明者が、本実施例に係わる TFF の回路シミュレーションを行い、従来の TFF（図 4 参照）と比較したところ、出力信号の論理振幅は、従来の TFF が 0.73V であったのに対して本実施例の TFF では 0.95V であり、約 30% 向上した。また、最大動作周波数は、従来の TFF が 16.4GHz であったのに対して本実施例の TFF では 18.0GHz であり、約 10% 向上した。

【0044】なお、このシミュレーションのモデルとなる MESFET としては、p 型埋め込みプロセスを用いることおよび半絶縁性 GaAs 基板にシリコンの選択イオン注入を行うことにより活性層を形成したのちゲートにタングステン層とタングステンナイトライド層とを積層して構成されたものを使用し、ゲート長 L_g を 0.35 μm 、論理振幅の設計値を 0.9V、導通時のゲート・ソース間電圧を 0.35V、電源電圧 V_{DD} を -5.2V、バイアス電圧 V_{SS} を -4.5V とした。また、ゲート幅は、スイッチング段を形成する MESFET については 28 μm 、ソースフォロア段を形成する MESFET については 56 μm とした。

【0045】以上、本発明について、GaAs MESFET を用いた SCFL 回路で構成したデータ保持回路および TFF を例にとって説明したが、例えば、DFF（D タイプフリップフロップ）の場合でも同様の効果を得ることができる。

【0046】また、SCFL 回路に代えて、例えば Si ECL を用いた場合でも同様の効果を得ることができる。

【0047】

【発明の効果】以上詳細に説明したように、本発明によれば、高速動作時の出力波形の劣化を抑えることができるデータ保持回路を提供することが可能となる。

【0048】さらに、本発明のデータ保持回路を用いて TFF を構成した場合には、最大動作周波数を向上させることも可能となる。

【図面の簡単な説明】

【図 1】本発明の一実施例に係わるデータ保持回路の構成を示す電気回路図である。

【図 2】図 1 に示したデータ保持回路に入力される選択信号の信号波形を示すグラフである。

【図 3】本発明の第 2 の実施例としてのトグルフリップフロップの構成を示す電気回路図である。

【図 4】従来のデータ保持回路を用いたトグルフリップフロップの構成を示す電気回路図である。

【図 5】（a）は図 4 に示したトグルフリップフロップの最大動作周波数近傍での出力波形を示すグラフ、

（b）は理想的な出力波形を概念的に示すグラフ、

（c）は（a）、（b）に示した出力波形に対応する入力クロック信号波形を示すグラフである。

【符号の説明】

100 データ保持回路

101～112 GaAs MESFET

121～127 抵抗

131, 132 ダイオード

30 133 容量

141～148 端子

150 切換回路

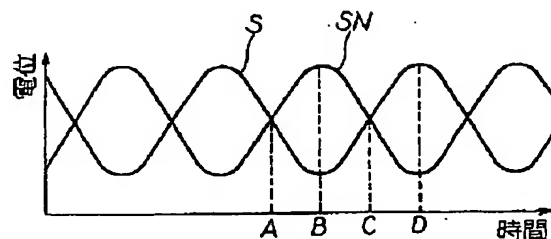
160 定電流源

170 付加電流源

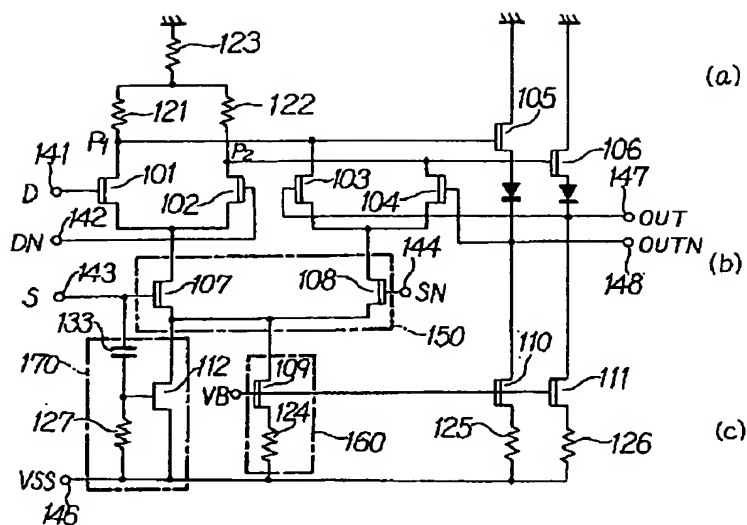
200 マスタ段としてのデータ保持回路

300 スレーブ段としてのデータ保持回路

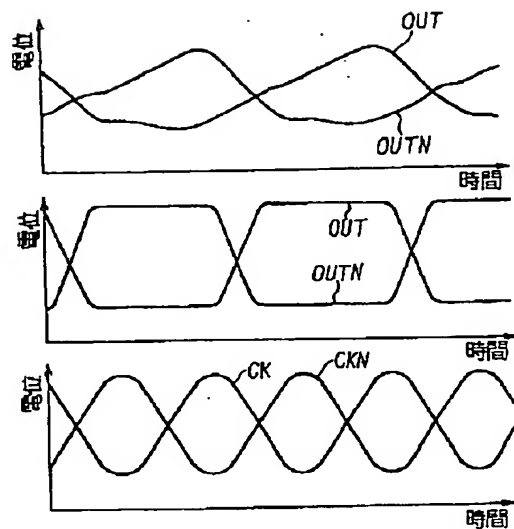
【図 2】



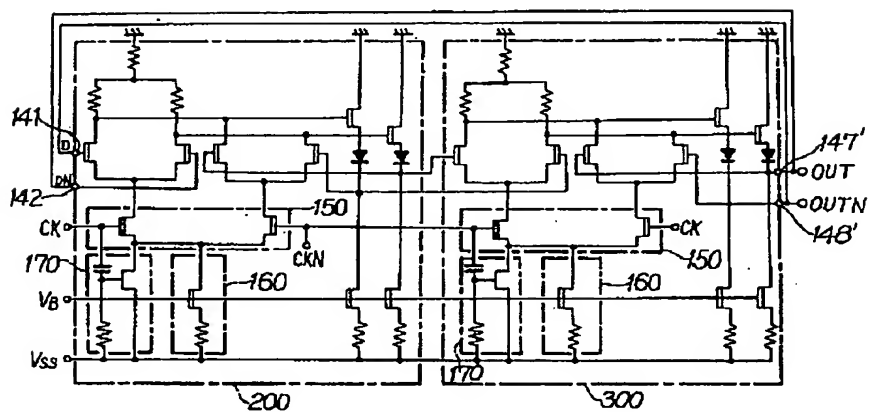
【图 1】



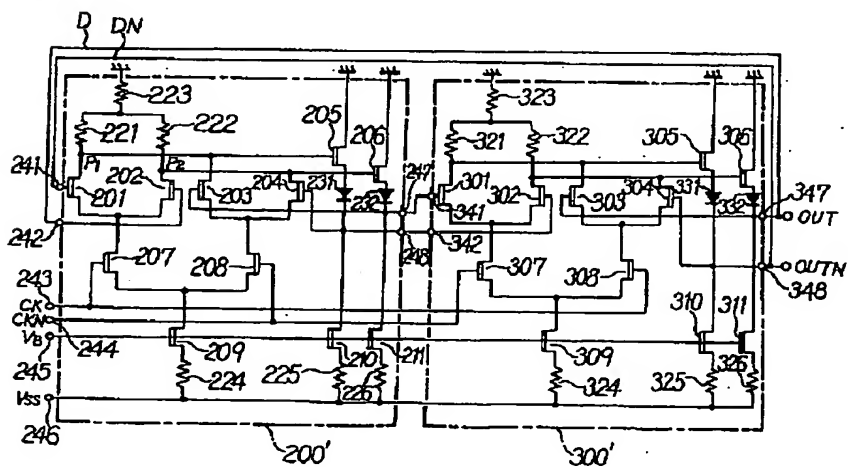
【图 5】



【圖 3】



【图 4】



フロントページの続き

(72)発明者 寺 田 俊 幸

神奈川県川崎市幸区小向東芝町 1 株式会
社東芝研究開発センター内